

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-143552

(43)Date of publication of application : 11.06.1993

(51)Int.Cl.

G06F 15/16

G06F 9/38

G06F 15/66

G06F 15/82

(21)Application number : 03-326443

(71)Applicant : NIKON CORP

(22)Date of filing : 14.11.1991

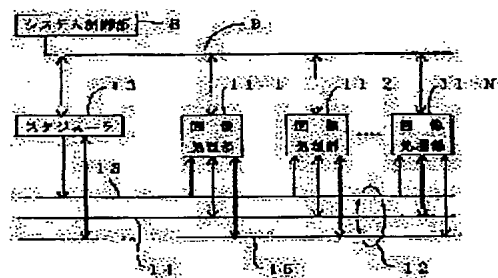
(72)Inventor : MITANI SEIJI  
KUDO KOICHI  
OCHIAI KOJI  
HASHIMOTO NORIYOSHI

## (54) PICTURE PROCESSOR

### (57)Abstract:

**PURPOSE:** To make it possible to minimize the overheads of an exclusive bus for the transfer of picture data and to efficiently perform a parallel processing and a pipeline processing.

**CONSTITUTION:** The picture processor has a data bus 15 to which data is supplied by a packet unit by time division, a communication address bus 13 to which a communication address for discriminating data flowing in this data bus 15 by a communication unit is supplied, a scheduler 10 supplying the communication address to the communication address bus 13 successively and plural data flow type picture processing parts 11-1 to 11-N having the queuing function of data, outputting data on the data bus 15 in accordance with the communication address or inputting data on the data bus 15.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-143552

(43) 公開日 平成5年(1993)6月11日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F 1	技術表示箇所
G 0 6 F 15/16	T	8840-5L		
9/38	3 9 0	9290-5B		
15/66	K	8420-5L		
15/82		9194-5L		

審査請求 未請求 請求項の数 2 (全 14 頁)

(21) 出願番号 特願平3-326443

(22) 出願日 平成3年(1991)11月14日

(71) 出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72) 発明者 三谷 清治

神奈川県横浜市栄区長尾台町471番地 株  
式会社ニコン横浜製作所内

(72) 発明者 工藤 浩一

神奈川県横浜市栄区長尾台町471番地 株  
式会社ニコン横浜製作所内

(72) 発明者 落合 浩治

神奈川県横浜市栄区長尾台町471番地 株  
式会社ニコン横浜製作所内

(74) 代理人 弁理士 大森 聡

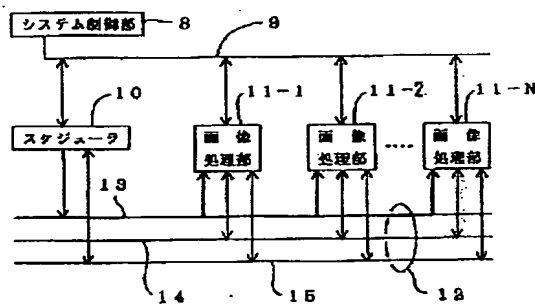
最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 画像データ転送用の専用のバスのオーバーヘッドを極力少なくし、並列処理及びパイプライン処理を効率的に行うことができるようにする。

【構成】 データがバケット単位で時分割的に供給されるデータバス15と、このデータバス15に流れるデータを通信単位で識別するための通信アドレスが供給される通信アドレスバス13と、順次その通信アドレスをその通信アドレスバス13に供給するスケジューラ10と、データの待ち合わせ機能を有しその通信アドレスに応じてそのデータバス15上にデータを出力するか、又はそのデータバス15上のデータを入力する複数のデータフロー型画像処理部11-1~11-Nとを有する。



## 【特許請求の範囲】

【請求項1】 データがバケット単位で時分割的に供給されるデータバスと、

該データバスに流れるデータを通信単位で識別するためのアドレスが供給されるアドレスバスと、

画像処理の進行状態に応じて順次前記アドレスを前記アドレスバスに供給するスケジューラと、

データが前記バケット単位で入力又は出力されるまで待つデータの待ち合わせ機能を有し、前記アドレスバス上のアドレスに応じて前記データバス上にデータを出力するか、又は前記データバス上のデータを入力する複数のデータフロー型画像処理部とを有する事を特徴とする画像処理装置。

【請求項2】 前記データバスの前記バケット単位のデータの転送速度が前記複数のデータフロー型画像処理部の前記バケット単位のデータのそれぞれの処理速度に比べて速い事を特徴とする請求項1記載の画像処理装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば画像データを並列処理又はパイプライン処理することによって高速に処理する画像処理装置に関するものである。

【0002】

【従来の技術】 例えば半導体基板上に形成された回路パターンと設計データに基づいて生成された回路パターンとを比較することにより、その半導体基板の欠陥を自動的に検査する自動欠陥装置等においては、画像データを高速に処理できる画像処理装置が使用されている。従来の初期の高速の画像処理装置は、図11(a)に示すように、単一の画像処理部が複雑なデータ処理を行うものである。即ち、図11(a)において、1は単一の画像処理部、2はデータバス及びアドレスバス等よりなるシステムバス、3は画像メモリを示し、画像メモリ3はシステムバス2を介して画像処理部1に接続されている。そして、その画像処理部1は必要に応じてシステムバス2を介して画像メモリ3に対する画像データの書き込み又は画像メモリ3からの画像データの読み出しを行うことにより、順次シリアルに処理A、処理B、……、処理Zを行っていた。

【0003】 その後、画像処理装置は、図11(b)に示すような、複数の画像処理部が並列処理及びパイプライン処理を行う構成に発展してきた。図11(b)において、4は全体の動作を制御するシステム制御部、5はシステムバス、6-1~6-Nはそれぞれ所定の処理1~処理Nを行う画像処理部であり、システム制御部4はシステムバス5を介して画像処理部6-1~6-Nに対して処理の内容及び動作のタイミング等を指示する。画像処理部6-1~6-Nの中に画像メモリが含まれている。また、画像データは容量が大きくバスの使用時間が長くなるので、画像データを転送するための専用の画像

データ転送バス7が設けられ、この画像データ転送バス7に画像処理部6-1~6-Nが並列に接続され、画像処理部6-1~6-Nは画像データ転送バス7を介して相互に画像データの転送を行うようになっている。

【0004】 図11(b)の構成によれば、並列処理及びパイプライン処理等を行うことにより、画像処理の速度を高速化することができる。そして、更に処理速度を高めるため、並列処理及びパイプライン処理を行う際、画像データを成る画像処理部から他の画像処理部に高速に転送するために、画像データ転送バス7内のデータバスのバス幅やバスの本数を増やしたり、転送レートを上げたりしていた。

【0005】

【発明が解決しようとする課題】 しかしながら、上記の如き従来の画像処理装置においては、個々の画像処理部6-1~6-Nの処理時間のばらつきや処理の流れの形態によって、或る画像処理部がデータ処理できる状態にあるにもかかわらず画像データ転送バス7が動作中のため他の画像処理部にデータを送れない状態、即ちバスの所謂オーバーヘッドが起ってしまう不都合があった。本発明は斯かる点に鑑み、画像データ転送用の専用のバスのオーバーヘッドを極力少なくし、並列処理及びパイプライン処理を効率的に行うことができる画像処理装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明による画像処理装置は、例えば図1に示す如く、データがバケット単位で時分割的に供給されるデータバス(14)と、このデータバス(14)に流れるデータを通信単位で識別するためのアドレスが供給されるアドレスバス(13)と、画像処理の進行状態に応じて順次そのアドレスをそのアドレスバス(13)に供給するスケジューラ(10)と、データがそのバケット単位で入力又は出力されるまで待つデータの待ち合わせ機能を有し、そのアドレスバス(13)上のアドレスに応じてそのデータバス(14)上にデータを出力するか、又はそのデータバス(14)上のデータを入力する複数のデータフロー型画像処理部(11-1~11-N)とを有するものである。

【0007】 この場合、そのデータバス(14)のそのバケット単位のデータの転送速度がそれら複数のデータフロー型画像処理部(11-1~11-N)のそのバケット単位のデータのそれぞれの処理速度に比べて速い事が望ましい。

【0008】

【作用】 斯かる本発明によれば、データを通信単位で識別するためのアドレスが使用される。通常のアドレスはメモリの番地又はICの装置番号等をハードウェア的に指定するのに対して、本発明におけるアドレスはバケット単位でデータを転送する個々の通信を特定するためのものであり、複数のデータフロー型画像処理部(11-

1~11-N)には予めアドレスバス(13)上の各アドレスに応じてデータを入力するか、データを出力するか、又は何もしないかを指定しておく。そして、例えば1画面分の画像データに所定のフィルタリング処理を施すような場合には、その1画面分の画像データが例えば128個のバケットに分割され、スケジューラ(10)の指示によりバケット単位の画像データが順次複数のデータフロー型画像処理部(11-1~11-N)で処理される。これらデータフロー型画像処理部は、通常は処理を行わず、データが入力されるとそれに応じたプログラムが起動してデータの処理を行うものである。

【0009】この場合、バケット単位で時分割して画像処理部(11-1~11-N)間で画像データが転送されるので、或るバケットの画像データを或る画像処理部に転送し、この画像処理部がこのバケットの画像データを処理している間に、他のバケットの画像データを他の画像処理部に転送できる。従って、或る特定の画像処理部で実行されている処理が終了するまで他の画像データを送れないということがなく、データバス(14)の待ち時間であるオーバーヘッドが少なくなる。また、スケジューラ(10)で処理の進行を管理するようにしているので、並列処理及びパイプライン処理を効率的に行うことができる。

【0010】また、画像をバケット単位に分けてバスを時分割して使用するとき、画像処理部(11-1~11-N)のそのバケット単位のデータ処理速度に比べてデータバス(14)のバケット単位のデータ転送速度が十分に速ければ、或る画像処理部が処理している間に他の多数の通信が行われるので、巨視的には並列的に処理しているように見える。

【0011】

【実施例】以下、本発明による画像処理装置の一実施例につき図1~図10を参照して説明する。本実施例は例えば自動欠陥検査装置に使用されるものである。図1は本例の全体の構成を示し、この図1において、8は全体の動作を制御するシステム制御部、9はシステムバス、10は後述の画像データ転送バスを時分割管理するスケジューラ、11-1~11-N(Nは2以上の整数)はデータ待ち合わせ機能を持ったデータフロー型の画像処理部である。本例では1画面の画像に1バイトの画像データを割り当て、1フレームの画像データが1Mバイトになる。この1Mバイトの画像データを128個の個々の容量が8kバイトのバケットに分割し、画像データをバケット単位で転送して処理するようにしている。

【0012】そのデータの待ち合わせ機能とは、1バケット分以上の画像データを蓄積できるバッファメモリを有し、データ入力時には画像処理部が処理できる単位の画像データが入力されるまで次の処理を行わず、データ出力時には1バケット分の画像データが出力されるまで次の処理を行わない機能である。また、データフロー

型とは、通常は動作することなく、データが入力されるとそのデータに応じたプログラムが起動して所定のデータ処理を行うことを言う。

【0013】システムバス9にシステム制御部8、スケジューラ10及び画像処理部11-1~11-Nを並列に接続し、システム制御部8はシステムバス9を介してスケジューラ10及び画像処理部11-1~11-Nに対してそれぞれ所定のコマンド及びデータを供給し、必要に応じてスケジューラ10及び画像処理部11-1~11-Nからエラー情報又はデータ等を受け取る。

【0014】12は画像データ転送バスであり、この画像データ転送バス12を、通信アドレスバス13、データバス14及び制御バス15より構成する。通信アドレスバス13は、画像処理部11-1~11-N間の1バケット単位の画像データの通信毎に割り当てられる通信アドレスADRが転送されるバスであり、スケジューラ10がその通信アドレスADRを順次通信アドレスバス13に供給し、各画像処理部11-1~11-Nは通信アドレスバス13よりその通信アドレスADRを入力する。データバス14には画像処理部11-1~11-Nを並列に接続し、画像処理部11-1~11-Nはデータバス14を介して相互に1:1又は1:多数で画像データを時分割的に転送する。制御バス15は、各種クロック信号及び状態信号等を転送する複数のバスより構成し、この制御バス15にスケジューラ10及び画像処理部11-1~11-Nを並列に接続する。なお、画像データ及び通信アドレスADR等の転送はシリアルでもパラレルでもよく、双方がパラレル転送の場合には通信アドレスバス13及びデータバス14はそれぞれ複数本のバスラインよりなる。

【0015】本実施例では画像データ転送バス12中のデータバス14のデータ転送速度が80Mバイト/sであり、各画像処理部11-1~11-Nのそれぞれのデータ処理速度が10Mバイト/sである。従って、各画像処理部11-1~11-Nでの1バケット分の画像データの処理時間は、データバス14上の1バケット分の画像データの通信時間の8倍である。

【0016】本実施例における画像処理部11-1~11-Nは例えば図2又は図3に示すような画像処理部と同様に構成されている。これらの内で、図2(a)は画像メモリとしての画像処理部を示し、この図2(a)において、16は画像データ転送バス12とのデータの出入力を行うインターフェース回路、17はデータ待ち合わせ回路、18は画像メモリである。このデータ待ち合わせ回路17は1バケット分以上の画像データを蓄積できるバッファメモリを有し、画像メモリ18の入出力部がデータ待ち合わせ回路17及びインターフェース回路16を介して図1の画像データ転送バス12に接続される。図2(b)は画像データにウィンドウフィルタ処理を施す画像処理部を示し、この図2(b)は図2

5

(a) の画像メモリ18を3×3ウインドウ・フィルタ回路19で置き換えたものである。

【0017】3×3ウインドウ・フィルタ回路19は、3×3画素分の9個の入力画像データに対してそれぞれ所定の係数を乗じて和を求めることにより順次出力画像データを生成する。それら所定の係数を適当に選ぶことにより、入力画像の輪郭を強調した出力画像を得ることができ、このような輪郭強調を行うためのフィルタ回路の一例がラプラシアン・フィルタ回路である。

【0018】同様に図3(a)、(b)及び(c)には図2(a)の画像メモリ18をそれぞれ算術・論理演算回路20、RAM等よりなるルックアップテーブル21及びラベリング回路22で置き換えた画像処理部を示す。算術・論理演算回路20は各2個の入力データに算術演算又は論理演算を施すことにより順次出力データを求め、ルックアップテーブル21は所定のテーブルに関して入力データに対応する出力データを求めることにより画像データの2値化等を行い、ラベリング回路22は例えば1フレーム分の画像データの中で所定の欠陥が発見されたパターンに属する画像データに所定の符号を付す。また、図3(d)はインターフェース回路16、データ待ち合わせ回路17及びヒストグラム回路23より構成される画像処理部を示し、ヒストグラム回路23は例えば、1フレーム分の多階調の画像データの濃度分布等を求める。

【0019】なお、図2及び図3の演算処理部は一例であり、画像処理装置の応用例に応じて例えば5×5ウインドウ・フィルタ処理を施す演算処理部等を追加することもできる。また、本実施例では、図2(a)、(b)及び図3(a)～(d)の演算処理部がそれぞれ複数個用意されている。

【0020】図4を参照して本例のスケジューラ10の構成につき説明する。図4において、システム制御部8には中央処理ユニット(CPU)24が設けられ、このCPU24がシステムバス9を介してスケジューラ10中のインターフェース回路(I/F)25に個々の1バケット毎の画像データの通信を特定する通信アドレスADRを供給する。スケジューラ10において、インターフェース回路25に供給された通信アドレスADRをデータセクタ26の一方の入力部に供給し、このデータセクタ26から出力される通信アドレスADRを先入れ先だしレジスタ(FIFO)27に供給し、この先入れ先だしレジスタ27から出力される通信アドレスADRをデータセクタ26の他方の入力部及びインターフェース回路28に供給する。インターフェース回路28から出力される通信アドレスが画像データ転送バス12中の通信アドレスバス13に供給される。また、後述のように或る通信に失敗した場合及び128バケットの通信が終了していない場合には、データセクタ26を用いて先入れ先だしレジスタ27から出力される通信アド

6

レスADRをそのまま再び先入れ先だしレジスタ27に戻すことにより、その通信が再び試行される。

【0021】スケジューラ10において、29は転送されたバケットの数を数えるバケットカウンタを示し、バケットカウンタ29は先入れ先だしレジスタ30から出力される数値に1を加算した数値を判定回路31及び先入れ先だしレジスタ30に供給する。本例では判定回路31はスケジューラ10に通信のアドレスを登録されたときに、そのバケットカウンタ29のリセットを行う。

【0022】32はタイミング発生回路を示し、このタイミング発生回路32は以下に示す4個のタイミング信号ICLK、RCLK、WCLK、AS\*の発生及び2個のタイミング信号SE\*、RE\*の受信を行う。以下の定義には通信アドレスADRも含める。

【0023】①通信アドレスADR：画像処理部間の各通信に割り当てられる符号、

②同期クロックICLK：各画像処理部の処理速度を合わせるためのクロック信号、

③読み出しクロックRCLK：画像データを出力する画像処理部からデータを読み出すためのクロック信号、

④書き込みクロックWCLK：画像データを入力する画像処理部にデータを書き込むためのクロック信号、

⑤アドレス有効信号AS\*：通信アドレスADRが有効であることを示す信号であり、\*は負論理であることを意味する、

⑥出力状態信号SE\*：画像データを出力する画像処理部が出力できる状態にあることを示す負論理の信号、

⑦入力状態信号RE\*：画像データを入力する画像処理部が入力できる状態にあることを示す負論理の信号。

【0024】これらの内で同期クロックICLK、読み出しクロックRCLK、書き込みクロックWCLK及びアドレス有効信号AS\*はそれぞれ、インターフェース回路33を介して画像データ転送バス12中の制御バス15中の個別のバス15a、15b、15c及び15dに供給される。また、画像処理部11-1～11-Nからの出力状態信号SE\*及び入力状態信号RE\*はそれぞれ、制御バス15中の個別のバス15e及び15fからインターフェース回路33に転送され、このインターフェース回路33からタイミング発生回路32に供給される。なお、上記の①～⑦のタイミング信号は一例であり、この外に例えば、通信を確実にしたり通信エラーを検出するような信号、データが有効であることを示す信号又はパリティチェックのための信号等を付加することも可能である。

【0025】図4の画像データ転送バス12を介して画像データの転送を行う場合の動作について図5～図8を参照して説明する。この場合、システム制御部8のCPU24は、画像データを出力する画像処理部と画像データを入力する1個又は複数の画像処理部とを設定し、スケジューラ10にその通信を示す通信アドレスADRを

7

登録する。また、CPU24から画像処理部11-1~11-Nの内の通信に関与する画像処理部には、通信アドレスADRの値及びこの通信アドレスが通信アドレスバス13上に出力されたときにデータを出力するか又はデータを入力するかを指示するコマンドが供給される。そして、スケジューラ10がその登録された通信アドレスADRを通信アドレスバス13に出力して、上記の出力状態信号SE\*及び入力状態信号RE\*より各々の画像処理部が通信可能な状態かどうかをチェックして、その通信を実行するかどうかを判断する。

【0026】本例では、1フレームの画像データ(1Mバイト)が128個のバケット(各8kバイト)に分割されている。従って、システム制御部8がスケジューラ10、画像データを出力する画像処理部及び画像データを入力する画像処理部に対して通信を行うように設定した後、1フレームの画像データを通信するためには128回の通信に成功しなければならない。

【0027】画像データ転送バス12を介した通信に成功した場合の動作の流れ及びタイミング信号をそれぞれ図5及び図6に示す。この場合、スケジューラ10は図5のステップ101において通信アドレスADR(図6(a))を通信アドレスバス13に設定し、続くステップ102でアドレス有効信号AS\*(図6(b))をアクティブにする(セットする)。これに応じてステップ103において、画像データを出力する画像処理部では自己が参加する通信のアドレスであることを確認してから出力状態信号SE\*をアクティブにし、且つ画像データを入力する全ての画像処理部では自己が参加する通信のアドレスであることを確認してから入力状態信号RE\*をアクティブにする。状態信号SE\*及びRE\*は図6(c)に示すように、アドレス有効信号AS\*に続いてアクティブになる。

【0028】スケジューラ10はステップ104で出力状態信号SE\*及び入力状態信号RE\*が共にアクティブになっていることを確認してから、ステップ105において1バケット分(8kバイト)の画像データを転送するのに必要なクロック数の読み出しクロックRCLK(図6(d))及び書き込みクロックWCLK(図6(e))を制御バス15上に出力する。これらクロックRCLK及びWCLKを用いてステップ105と並列のステップ106において画像処理部間で1バケット分の画像データの通信が実行される。

【0029】その後、ステップ107においてスケジューラ10はアドレス有効信号AS\*をネガティブにする(リセットする)。これに応じてステップ108で、画像データを出力する画像処理部は出力状態信号SE\*をネガティブにし、画像データを入力する画像処理部は入力状態信号RE\*をネガティブにする。これにより1回の通信が完了する。

【0030】次に、画像データ転送バス12を介した通

8

信に失敗した場合の動作の流れ及びタイミング信号をそれぞれ図7及び図8に示す。通信に失敗する場合とは、例えば画像データを入力するべき画像処理部がデータの処理中でデータの受け入れができないような場合をいう。この場合、スケジューラ10は図7のステップ109において通信アドレスADR(図8(a))を通信アドレスバス13に設定し、続くステップ110でアドレス有効信号AS\*(図8(b))をアクティブにする。これに対してステップ111において、画像データを出力する画像処理部では自己が参加する通信のアドレスであることを確認してから出力状態信号SE\*をネガティブにするか、又は画像データを入力する少なくとも1個の画像処理部では自己が参加する通信のアドレスであることを確認してから入力状態信号RE\*をネガティブにする。状態信号SE\*又はRE\*は図8(c)に示すようにネガティブ(ハイレベル“1”)のままである。

【0031】そして、ステップ112において、スケジューラ10は出力状態信号SE\*又は入力状態信号RE\*のどちらかがネガティブであることを確認して、その通信が失敗であることを認識する。その後、ステップ113でスケジューラ10はアドレス有効信号AS\*をネガティブにすると共に、通信アドレスADRの設定を解消する。この後は例えば所定の待ち時間において同じ通信が繰り返されるか、又は他の通信が行われる。

【0032】次に、図1の画像処理部11-1~11-Nが図9に示すような8個の画像処理部34~41から構成されている場合を例にとり、図10のタイミングチャートを参照して画像データ転送バス12の使用状態と各画像処理部の処理状態との関連等について説明する。なお、例えば画像処理部34及び35はそれぞれ画像メモリとして機能しており、同様に他の画像処理部36~41も特有の機能を有する。

【0033】図9の構成例においては、第1の画像メモリ34から読み出された画像aに対応する画像データを通信T1により3×3ウィンドウ・フィルタ回路36に転送し、このフィルタ回路36において3×3のラプシアン・フィルタを施すことにより画像aの輪郭を強調する。通信T1(i=1, 2, ...)とはそれぞれ図1の画像データ転送バス12を介した画像データの転送を意味する。この輪郭強調後の画像データを通信T3により算術・論理演算回路38の一方の入力部に供給する。同様に、第2の画像メモリ35から読み出された画像bに対応する画像データを通信T2により3×3ウィンドウ・フィルタ回路37に転送し、このフィルタ回路37において3×3のラプシアン・フィルタを施すことにより画像bの輪郭を強調する。この輪郭強調後の画像データを通信T4により算術・論理演算回路38の他方の入力部に供給する。

【0034】この算術・論理演算回路38では2個の画像データ間の引算を行うことにより、画像aと画像bと

の輪郭の差の画像cに対応する画像データを得て、この画像データを通信T5によりルックアップテーブル回路39及び第3の画像メモリ41に供給する。ルックアップテーブル回路39ではその差の画像cに対応する画像データが2値化され、第3の画像メモリ41ではその差の画像cの画像データが記憶される。ルックアップテーブル回路39は通信T6を介してラベリング回路40にその2値化された差の画像データを供給する。ラベリング回路40は、その差の画像データの内例えば差の大きい部分であるハイレベル“1”の領域に所定の符号よりなるラベルを割り当てる。

【0035】図9の処理を行うに際し、図1のシステム制御部8はまず画像処理部34～41にそれぞれの機能を設定し、通信T1～T6に対してそれぞれ通信アドレス0～5を割り付ける。そして、システム制御部8は値が0～5の6個の通信アドレスをスケジューラ10及び通信に関与する画像処理部34～41に設定する。通信に関与する画像処理部34～41には、その通信アドレスに対応してデータを出力するのか又はデータを入力するのかが設定される。以後はシステム制御部8が画像データ転送バス12の制御には関与することなく、スケジューラ10が全てを管理する。

【0036】図10(a)～(o)は図9の画像処理及び画像データ転送のシーケンスを示し、ハイレベル“1”が使用中又は処理中を、ローレベル“0”がデータ待ちの状態を示している。各画像処理部34～41はデータ待ち合わせ機能を有し、必要なデータが揃わないと処理を開始しない。従って、システム制御部8が各画像処理部34～41及びスケジューラ10に起動をかけた時点では、図10(a)及び(e)に示すように、第1の画像メモリとしての画像処理部34及び第2の画像メモリとしての画像処理部35のみが動作を始める。

【0037】画像処理部34及び画像処理部35がそれぞれ1パケット分の画像データ1a及び1bの読み出し処理を終えると、通信アドレス0の通信T1(図10(b))と通信アドレス1の通信T2(図10(f))とが時分割的に始まる。通信T1及びT2によりそれぞれ1パケット分の画像データ1a及び1bが画像処理部36及び37に転送される。1パケット分の画像データを出力した画像処理部34及び35はそれぞれ次の1パケット分の画像データ2a及び2bの読み出し処理を開始し、それぞれ画像データ1a及び1bの入力のあった画像処理部36及び37は図10(c)及び(g)に示すように、3×3ウインドウのラプラシアン・フィルタ処理を始める。これら画像処理部36及び37が1パケット分のデータの処理を終えると、図10(d)及び(h)に示すように通信アドレス2の通信T3及び通信アドレス3の通信T4が始まる。即ち、画像処理部36及び37は並列処理を行っている。

【0038】通信T3及びT4により画像データの入力

があった画像処理部38は、図10(i)に示すように、画像データ1aと1bとの間の引き算処理を始める。画像処理部38が画像間の引き算処理を終了するまでに、画像処理部34及び36がそれぞれ画像データ2a及び2bの読み出し処理を終了しているため、通信アドレス0の通信T1及び通信アドレス1の通信T2によりそれぞれ画像データ2a及び2bが転送される。画像処理部34及び35は画像データ2a用の通信T1及び画像データ2b用の通信T2が終了すると、それぞれ画像データ3a及び3bの読み出し処理を始め、画像処理部36及び37はそれぞれ3×3ウインドウのラプラシアン・フィルタ処理を始める。画像処理部38が画像間の引き算処理を終了して画像データ1が得られると、図10(j)に示すように、通信アドレス4の通信T5が始まり、画像処理部39及び41に画像データ1が転送される。この場合、画像処理部38は画像処理部39と画像処理部41とに同時にデータ転送を行うことができる。

【0039】図10(k)に示す画像処理部39の画像データ1に対する2値化処理が終了するまでに、画像処理部36および37の画像データ2a及び2bに対する3×3ウインドウのラプラシアン・フィルタ処理が終了する。画像処理部39の画像データ1に対する2値化処理が終了すると、図10(m)に示す通信アドレス5の通信T6が始まり、画像データ1は画像処理部40に転送される。画像処理部40はその入力された画像データ1に対して、図10(n)に示すようにラベリング処理を行う。これにより1パケット分の画像データの処理が終了する。この1パケット分の処理を128回行うと、最終的に1フレームの画像処理を行うことができる。画像処理部34～画像処理部40、41と画像処理部35～画像処理部40、41とは一連のパイプライン処理を行っている。

【0040】また、図10のシーケンスによれば各画像処理部34～41が同期的に処理しているように見えるが、図9の画像処理だけでなく、他の画像処理をも時間的に同期させないで並列処理させることもできる。また、パイプラインの段数を実質的に無限に増加することもできる。上述のように、本実施例によれば、スケジューラ10が画像データ転送バス12中の通信アドレスバス13にパケット単位の通信アドレスを供給すると、その通信アドレスが設定されている画像処理部が時分割的にパケット単位でデータ転送を行うようになっている。従って、図1の画像処理部11-1～11-Nは画像データ転送バス12のデータバス14が解放されるまで待つ状態がなく、データバス14のオーバーヘッドが少なくなる。

【0041】また、本実施例ではデータバス14のパケット単位のデータ転送速度が各画像処理部11-1～11-Nのパケット単位のデータ処理速度の8倍に設定さ

れている。従って、1個の画像処理部が1バケット分の画像データを処理するのに要する時間を $\Delta T$ とすると、例えば、8個の画像処理部11-1~11-8が並列に或る時間 $\Delta T$ 内に同じ処理を行い、それに続く時間 $\Delta T$ の間にそれぞれ $\Delta T/8$ の時間で時分割的に画像データ転送バス12を介して8個の画像処理部11-9~11-16にバケット単位でデータ転送を行うことにより、実質的に並列処理が行われる。この場合、実際には16個の画像処理部11-1~11-16が画像処理を行うタイミングをずらして、データ転送のタイミングを調整しながら128バケット分処理することにより、全体としての演算時間は $(128+2)\Delta T$ に短縮できる。

【0042】更に、本実施例のシステム制御部8は画像処理の開始前にスケジューラ10及び画像処理部11-1~11-Nに通信アドレスを設定するだけでよく、画像処理の種類に応じた管理又は設定のタイミングの厳密な管理等を行う必要がない。従って、システム制御部8の1種類の演算処理当りの負担が軽くなり、システム制御部8は少ないプログラムでより多種類の演算処理の管理ができる。なお、本発明は上述実施例に限定されず本発明の要旨を逸脱しない範囲で種々の構成を取り得ることは勿論である。

【0043】

【発明の効果】本発明によれば、データ転送を通信単位で識別するためのアドレスを用いて、スケジューラが複数の画像処理部間のデータ転送をバケット単位で時分割的に管理するようにしているので、データバスの解放を待つ時間であるオーバーヘッドが短縮される利点がある。そして、スケジューラによる管理を最適化することにより、実質的な並列処理及びパイプライン処理を効率化できる。更に、本発明におけるアドレスバス上のアドレスは物理的に制約されていないので、種々の画像処理及び大量の画像処理に容易に対応することができる。

【0044】また、データバスのバケット単位のデータの転送速度が複数のデータフロー型画像処理部のバケット単位のデータのそれぞれの処理速度に比べて速い場合には、それら画像処理部間でのデータの転送を時分割的に高速に実行することにより、それら画像処理装置で実質的に容易に並列処理を行うことができる。

【図面の簡単な説明】

【図1】本発明による画像処理装置の一実施例のシステム構成を示す一部を省略したブロック図である。

【図2】(a)は画像処理部の一例としての画像メモリを示すブロック図、(b)は画像処理部の一例としての3×3ウインドウ・フィルタ回路を示すブロック図である。

【図3】(a)は画像処理部の一例としての算術・論理演算回路を示すブロック図、(b)は画像処理部の一例としてのルックアップテーブル回路を示すブロック図、

(c)は画像処理部の一例としてのラベリング回路を示すブロック図、(d)は画像処理部の一例としてのヒストグラム回路を示すブロック図である。

【図4】実施例のスケジューラ10及び画像データ転送バス12の詳細な構成を示す構成図である。

【図5】1バケットのデータの通信に成功した場合の通信動作を示すフローチャートである。

【図6】図5の場合のタイミング信号を示すタイミングチャートである。

【図7】1バケットのデータの通信に失敗した場合の通信動作を示すフローチャートである。

【図8】図7の場合のタイミング信号を示すタイミングチャートである。

【図9】具体的な画像処理装置の一例における画像処理部間の通信の説明に供する構成図である。

【図10】図9の画像処理装置の画像処理及び画像データの転送のシーケンスを示すタイミングチャートである。

【図11】(a)は従来の画像処理装置の一例を示すブロック図、(b)は従来の画像処理装置の他の例を示すブロック図である。

【符号の説明】

8 システム制御部

9 システムバス

10 スケジューラ

11-1~11-N 画像処理部

12 画像データ転送バス

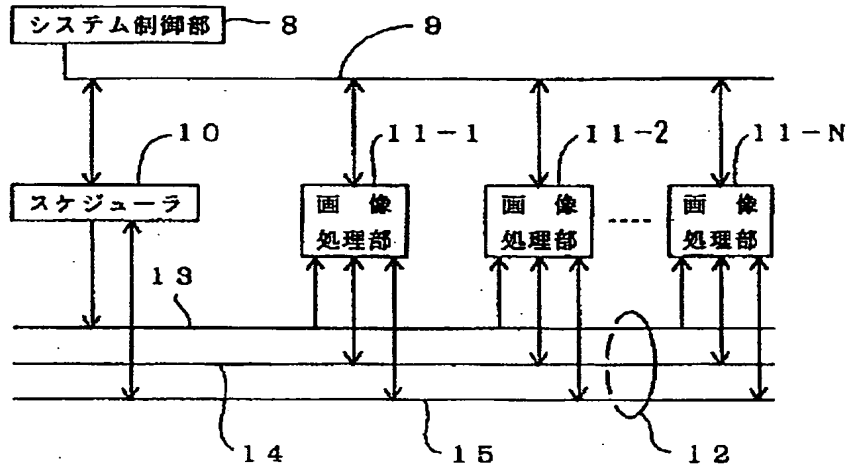
13 通信アドレスバス

14 データバス

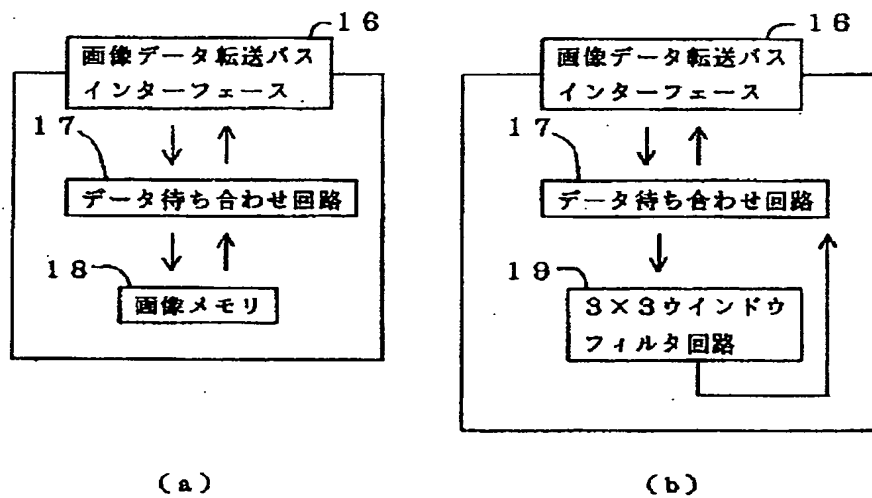
15 制御バス



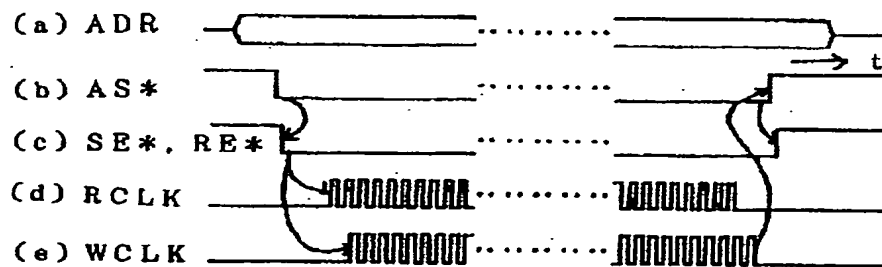
【図1】



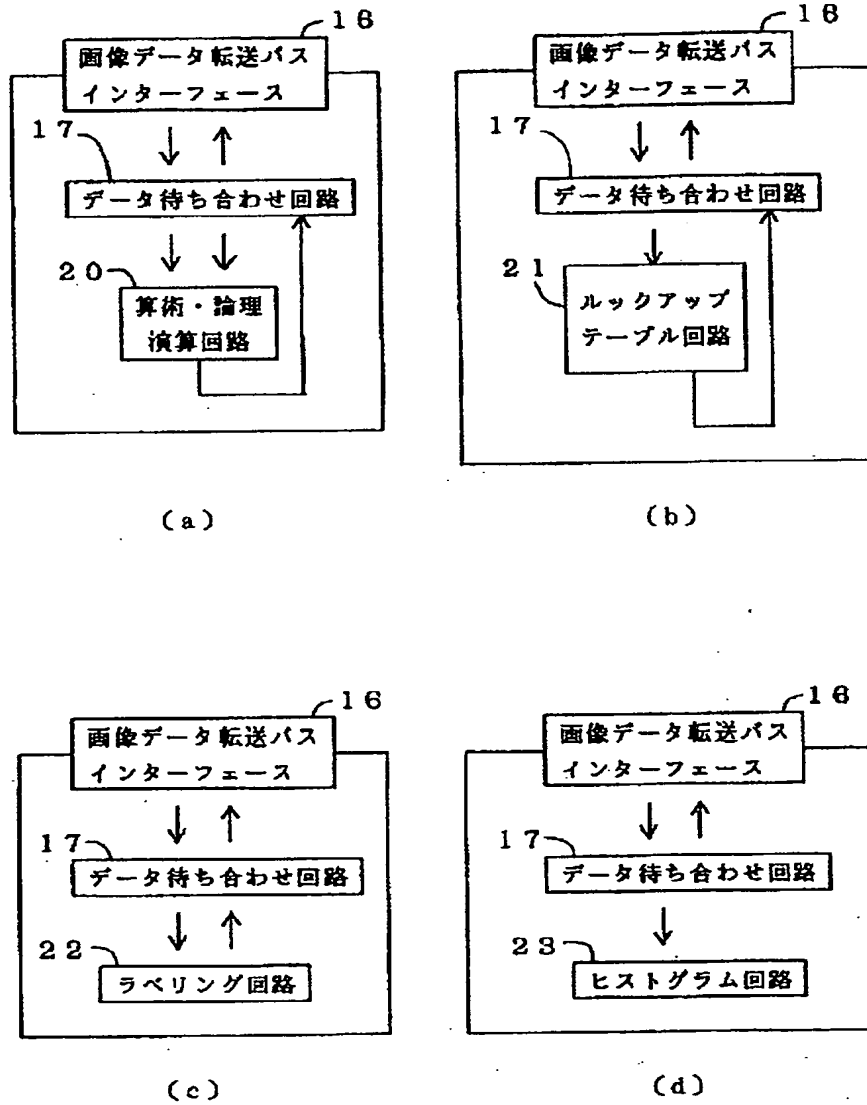
【図2】



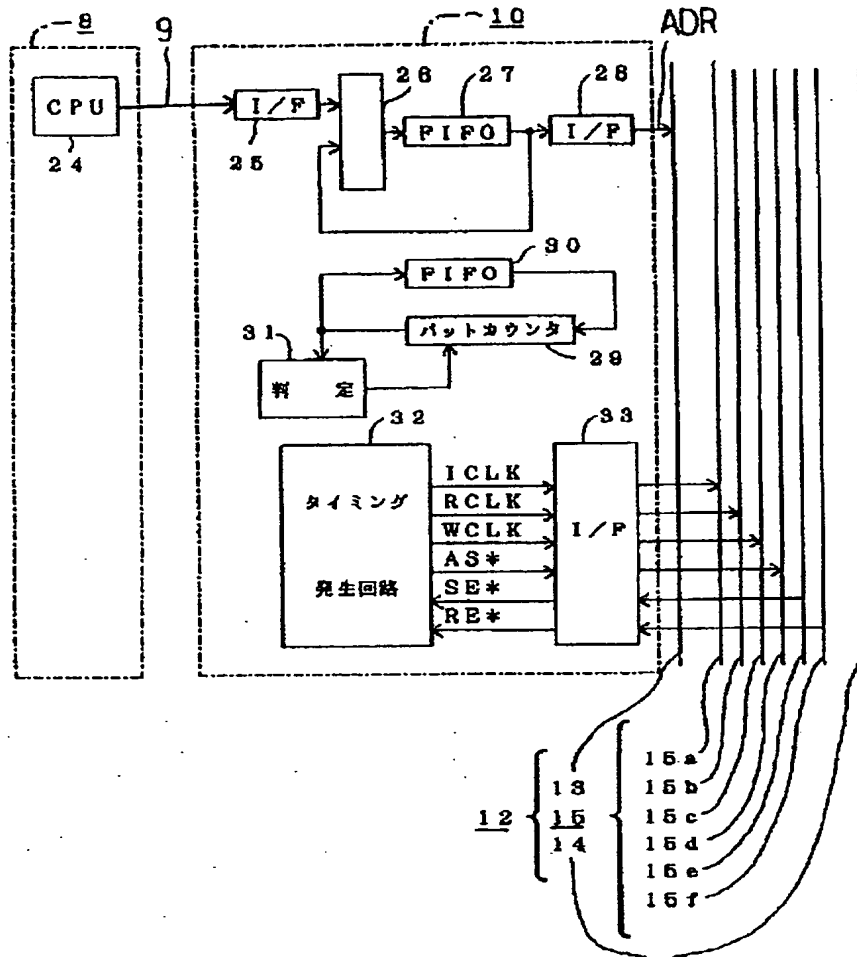
【図6】



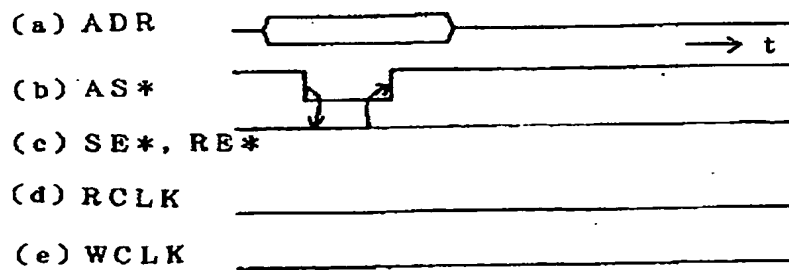
【図3】



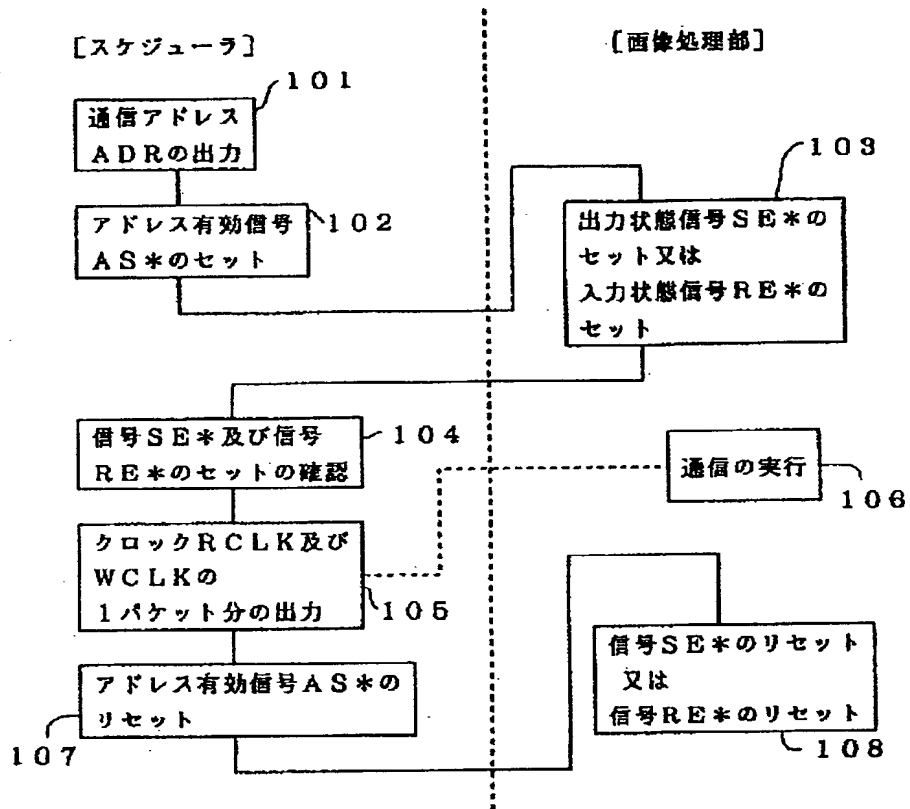
【図4】



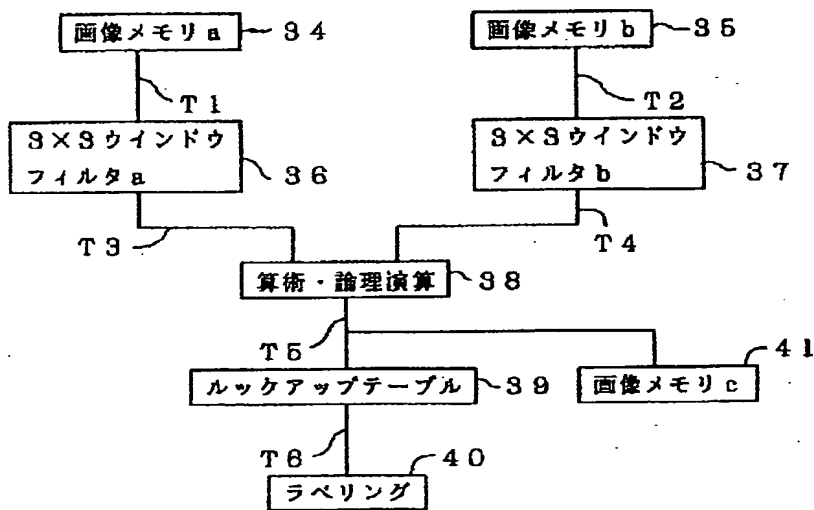
【図8】



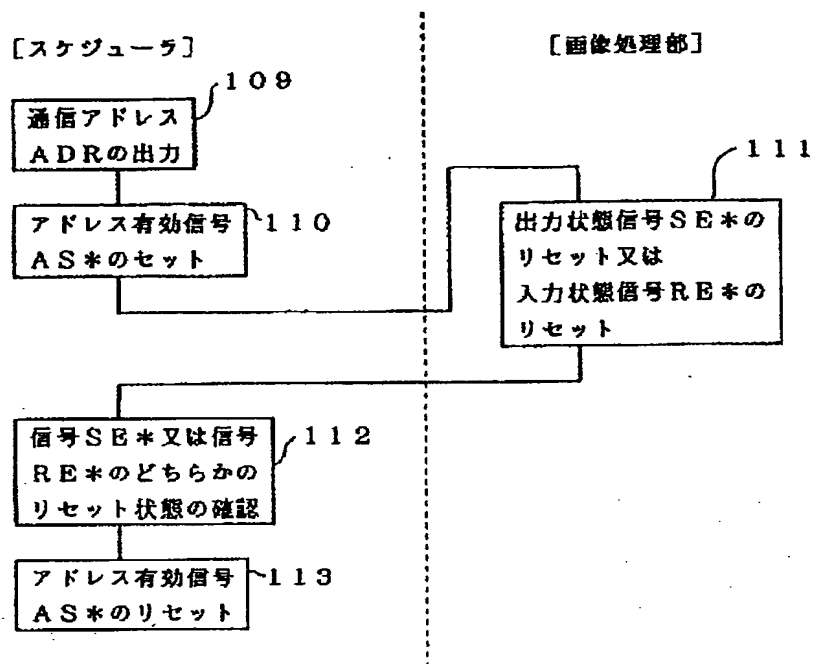
【図5】



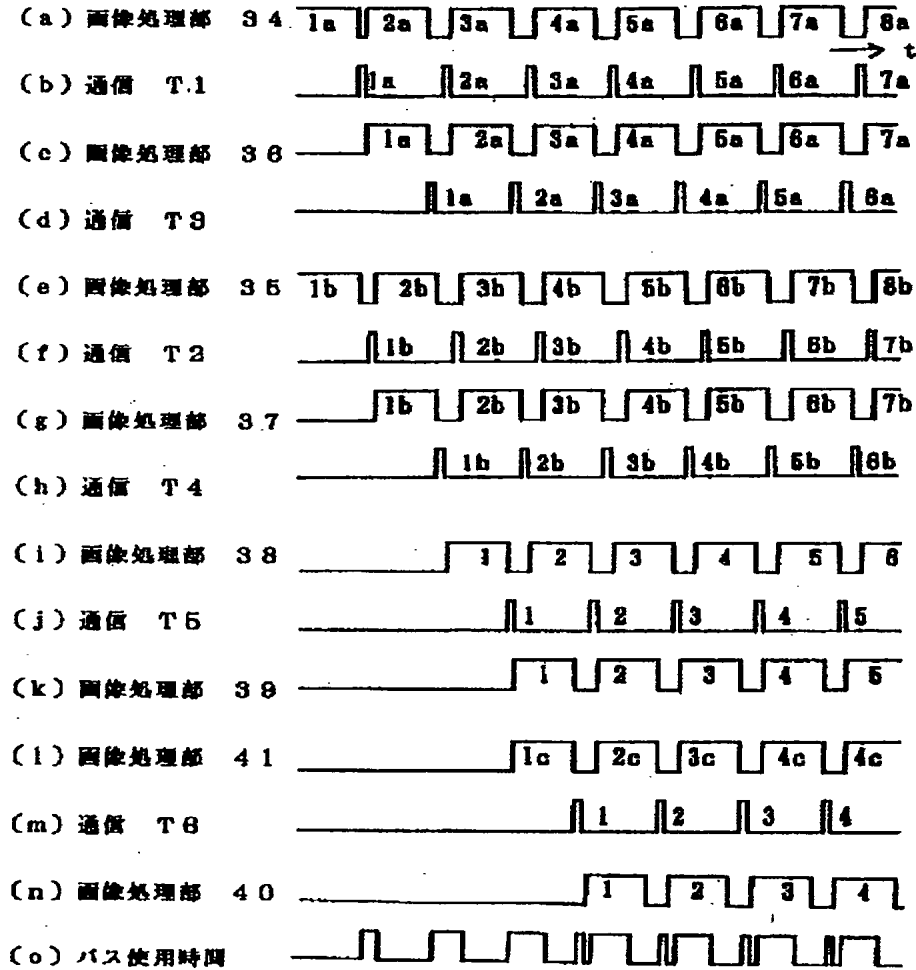
【図9】



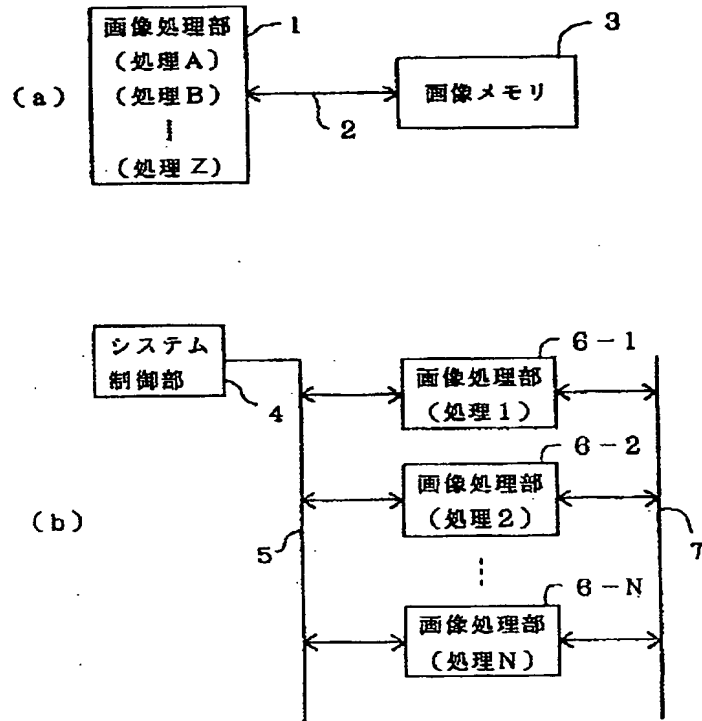
【図7】



【図10】



【図11】



フロントページの続き

(72)発明者 橋本 憲慶  
 神奈川県横浜市栄区長尾台町471番地 株  
 式会社ニコン横浜製作所内